

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001223326 A

(43) Date of publication of application: 17.08.2001

(51) Int. Cl. H01L 25/065

H01L 25/07, H01L 25/18, H01L 21/60

(21) Application number: 2000031545

(22) Date of filing: 09.02.2000

(71) Applicant: HITACHI LTD

HITACHI HOKKAI
SEMICONDUCTOR LTD

(72) Inventor: MAEDA TORU

(54) SEMICONDUCTOR DEVICE

wire bonding are combined to reduce a wire density in the part 10 to prevent a wire short circuit.

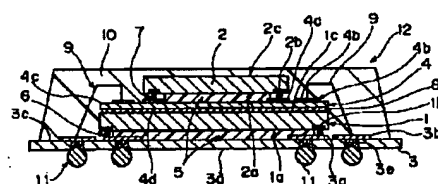
COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To realize high density mounting by preventing a wire short circuit and reducing in size and thickness in a small-sized semiconductor device of a chip laminated type.

SOLUTION: The semiconductor device comprises a tape board 3 for supporting a first chip 1 of a lower-most stage by flip-chip connecting, a wiring film 4 for supporting a second chip 2 laminated and disposed on the first chip by flip-chip connecting, a wire 9 for connecting a connecting electrode 4b of the film 4 to a connecting electrode 3b of the board 3, a plurality of solder bumps 11 disposed on a rear surface 3d of the board 3, and a sealing part 10 for resin-sealing two semiconductor chips, the wire 9 and the like. In this case, the laminated and disposed first and second chips 1, 2 are face down mounted. The flip-chip connecting and the

図 1



- | | |
|-----------------------|---------------------|
| 1: 1stチップ(最下段の半導体チップ) | 4: 配線フィルム(上段配線基板) |
| 1a: 表面 | 4a: 配線 |
| 1b: パッド(表面電極) | 4b: 接続電極 |
| 1c: 裏面(反対側の面) | 6: Auパンプ(突起電極) |
| 2: 2ndチップ(上段の半導体チップ) | 7: 上段Auパンプ(上段の突起電極) |
| 2a: パッド(表面電極) | 9: ワイヤ |
| 3: テープ基板(突起配線基板) | 11: 半田パンプ(外延層) |
| 3a: 接続電極 | 12: CSP(半導体装置) |
| 3b: テープ支持部 | |
| 3c: 裏面(反対側の面) | |

PAT-NO: JP02001223326A

DOCUMENT-IDENTIFIER: JP 2001223326 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 17, 2001

INVENTOR-INFORMATION:

NAME

MAEDA, TORU

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

HITACHI HOKKAI SEMICONDUCTOR LTD

COUNTRY

N/A

N/A

APPL-NO: JP2000031545

APPL-DATE: February 9, 2000

INT-CL (IPC): H01L025/065, H01L025/07 , H01L025/18 , H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To realize high density mounting by preventing a wire short circuit and reducing in size and thickness in a small-sized semiconductor device of a chip laminated type.

SOLUTION: The semiconductor device comprises a tape board 3 for supporting a first chip 1 of a lowermost stage by flip-chip connecting, a wiring film 4 for supporting a second chip 2 laminated and disposed on the first chip by flip-chip connecting, a wire 9 for connecting a connecting electrode 4b of the film 4 to a connecting electrode 3b of the board 3, a plurality of solder bumps 11 disposed on a rear surface 3d of the board 3, and a sealing part 10 for resin-sealing two semiconductor chips, the wire 9 and the like. In

this case,
the laminated and disposed first and second chips 1, 2 are face down
mounted.
The flip-chip connecting and the wire bonding are combined to reduce
a wire
density in the part 10 to prevent a wire short circuit.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-223326

(P2001-223326A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 0 1 A 5 F 0 4 4
25/07			3 1 1 R
25/18		25/08	Z
21/60	3 0 1		
	3 1 1		
審査請求 未請求 請求項の数 1 O L (全 8 頁)			

(21) 出願番号 特願2000-31545 (P2000-31545)

(22) 出願日 平成12年2月9日 (2000.2.9)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 前田 徹

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 100080001

弁理士 筒井 大和

Fターム (参考) 5F044 AA02 HH00 KK08 QQ07 RR02

RR03 RR08

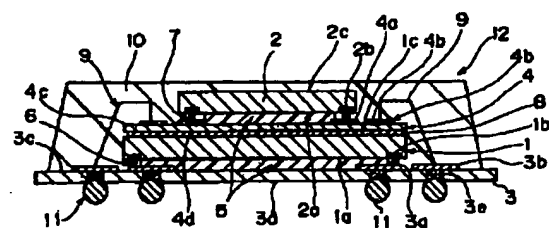
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 チップ積層形の小形半導体装置においてワイヤショートを防止するとともに、さらに小形化・薄形化を図って高密度実装を実現する。

【解決手段】 最下段の1stチップ1をフリップチップ接続によって支持するテープ基板3と、1stチップ1上に積層配置される2ndチップ2をフリップチップ接続によって支持する配線フィルム4と、配線フィルム4の接続電極4bとテープ基板3の接続電極3bとを接続するワイヤ9と、テープ基板3の裏面3dに配置される複数の半田パンパ11と、2つの半導体チップとワイヤ9などを樹脂封止する封止部10とからなり、積層配置された1stチップ1と2ndチップ2とがフェイスダウン実装されるとともに、フリップチップ接続とワイヤボンディングとを組み合わせることにより、封止部10におけるワイヤ密度を少なくしてワイヤショートを防止する。

図 1



- | | |
|-----------------------|---------------------|
| 1: 1stチップ(最下段の半導体チップ) | 4: 配線フィルム(上段配線基板) |
| 1a: 主面 | 4a: 配線 |
| 1b: パッド(表面電極) | 4b: 接続電極 |
| 1c: 裏面(反対側の面) | 6: アンパンプ(上段の突起電極) |
| 2: 2ndチップ(上段の半導体チップ) | 7: 上段アンパンプ(上段の突起電極) |
| 2a: パッド(表面電極) | 9: ワイヤ |
| 3: テープ基板(夫面配線基板) | 11: 半田パンパ(外部端子) |
| 3b: 接続電極 | 12: CSR(半導体装置) |
| 3c: チップ支持面 | |
| 3d: 裏面(反対側の面) | |

【特許請求の範囲】

【請求項1】 複数の半導体チップが積層されて組み込まれた半導体装置であって、

最下段に配置される半導体チップを突起電極を介してフリップチップ接続によって支持する共通配線基板と、前記最下段の半導体チップのフリップチップ接続が行われる主面と反対側の面に配置され、前記最下段の半導体チップと積層配置される上段の半導体チップを上段の突起電極を介してフリップチップ接続によって支持する上段配線基板と、

前記上段の突起電極に配線を介して接続される前記上段配線基板の接続電極と、前記共通配線基板の接続電極とを接続するボンディング用のワイヤと、

前記共通配線基板のチップ支持面と反対側の面に配置される複数の外部端子とを有し、

積層配置された複数の前記半導体チップがそれぞれフェイスダウン実装されるとともに、前記上段の半導体チップの表面電極と前記共通配線基板の前記接続電極とがフリップチップ接続およびワイヤボンディングによって接続され、前記最下段の半導体チップが前記共通配線基板にフリップチップ接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特にチップ積層形の半導体装置の高密度実装化に適用して有効な技術に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】近年、小形化された半導体パッケージの一例として、CSP (Chip Size Package またはChip Scale Package) と呼ばれる半導体チップとほぼ同等もしくは半導体チップより若干大きい程度の小形半導体パッケージが知られている。

【0004】また、複数の半導体チップが積層配置されたチップ積層形の半導体装置（スタックドパッケージともいう）においても小形化が要求されており、CSP構造でのスタックドパッケージの開発が進められている。

【0005】なお、半導体チップを2段に積層させたスタックドパッケージについては、例えば、特開平11-204720号公報にその構造と製造方法が記載されている。

【0006】

【発明が解決しようとする課題】ところが、前記した特開平11-204720号公報に記載されたスタックドパッケージでは、これをCSPに適用した場合、パッケージの外観サイズも小さいため、半導体チップの外側周囲のワイヤリング領域が非常に狭い。

【0007】したがって、このCSPでワイヤボンディングを2段に亘って行くと、ワイヤの密度が非常に高くなり、その結果、モールド時のワイヤ流れによって隣接するワイヤ同士のワイヤショートが発生することが問題となる。

【0008】さらに、最上段（2段目）の半導体チップがフェイスアップ実装であり、最上段の半導体チップに対してもワイヤボンディングを行うため、最上段の半導体チップの上方にワイヤのモールド領域を確保しなければならない。

【0009】したがって、この構造のCSPでは、パッケージの薄形化を図れないことが問題となる。

【0010】本発明の目的は、ワイヤショートを防止するとともに、小形化・薄形化を図って高密度実装を実現するチップ積層形の半導体装置を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】すなわち、本発明の半導体装置は、複数の半導体チップが積層されて組み込まれたものであり、最下段に配置される半導体チップを突起電極を介してフリップチップ接続によって支持する共通配線基板と、前記最下段の半導体チップのフリップチップ接続が行われる主面と反対側の面に配置され、前記最下段の半導体チップと積層配置される上段の半導体チップを上段の突起電極を介してフリップチップ接続によって支持する上段配線基板と、前記上段の突起電極に配線を介して接続される前記上段配線基板の接続電極と前記共通配線基板の接続電極とを接続するボンディング用のワイヤと、前記共通配線基板のチップ支持面と反対側の面に配置される複数の外部端子とを有し、積層配置された複数の前記半導体チップがそれぞれフェイスダウン実装されるとともに、前記上段の半導体チップの表面電極と前記共通配線基板の前記接続電極とがフリップチップ接続およびワイヤボンディングによって接続され、前記最下段の半導体チップが前記共通配線基板にフリップチップ接続されているものである。

【0014】本発明によれば、最下段の半導体チップがフリップチップ接続のみによって接続されるため、複数の半導体チップと最下段の共通配線基板との接続をフリップチップ接続とワイヤボンディングとに分けることができる。

【0015】その結果、封止部内のワイヤの密度を低減することができ、これにより、ワイヤショートを防止することができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0017】図1は本発明の実施の形態の半導体装置の構造の一例を示す断面図、図2は図1に示す半導体装置の共通配線基板と上段配線基板における配線および接続電極の配置状態の一例を示す拡大部分平面図、図3は図1に示す半導体装置の製造方法における共通配線基板へのアンダーフィル材形成状態の一例を示す断面図、図4は図1に示す半導体装置の製造方法における共通配線基板への1stチップ取り付けと上段配線基板の取り付け状態の一例を示す断面図、図5は図1に示す半導体装置の製造方法における上段配線基板への2ndチップ取り付け状態の一例を示す断面図、図6は図1に示す半導体装置の製造方法におけるワイヤボンディングの接続状態の一例を示す断面図、図7は図1に示す半導体装置の製造方法におけるモールドの状態の一例を示す断面図、図8は図1に示す半導体装置の製造方法における半田パン

プ取り付け状態の一例を示す断面図である。
【0018】図1に示す本実施の形態の半導体装置は、複数の半導体チップを積層配置させたチップ積層形のものであり、それぞれの前記半導体チップがフェイスダウン実装でフリップチップ接続されるとともに、複数の前記半導体チップとインタポーザとなる共通配線基板との電気的接続に、フリップチップ接続とワイヤボンディングとを組み合わせて用いたものである。

【0019】さらに、前記半導体装置は、その複数の外部端子が、前記共通配線基板のチップ支持面3cと反対側の面（以降、裏面3dという）に配置されたエリアア

レイ形のものである。
【0020】なお、本実施の形態では、前記半導体チップを2段に積層させ、かつ前記半導体装置が小形の半導体パッケージであるCSP12の場合について説明する。

【0021】したがって、CSP12は、スタック形CSPとも呼ばれ、例えば、携帯用電子機器などの小形民生機器に組み込まれるものであるが、2つの半導体チップを有した小形の半導体パッケージであるため、MCM (Multi-Chip-Module) やシステムLSI (Large Scale

Integration) として利用することも可能である。
【0022】本実施の形態の図1に示すCSP12の構成について説明すると、最下段に配置される半導体チップである1stチップ1をAuバンパ6（突起電極）を介してフリップチップ接続によって支持するテーブ基板3（共通配線基板）と、1stチップ1のフリップチップ接続が行われる主面1aと反対側の面である裏面1cに配置され、かつ1stチップ1の上に積層配置される2ndチップ2（上段の半導体チップ）を上段Auバンパ7（上段の突起電極）を介してフリップチップ接続に

よって支持する配線フィルム4（上段配線基板）と、上段Auバンパ7に配線4aを介して接続される配線フィルム4のボンディングパッドである接続電極4bとテーブ基板3のボンディングパッドである接続電極3bとを接続するボンディング用のワイヤ9と、テーブ基板3の裏面3dに配置される複数の外部端子である半田バンパ11と、テーブ基板3と1stチップ1との間隙および配線フィルム4と2ndチップ2との間隙を埋めるアンダーフィル材5と、2つの半導体チップとワイヤ9などを樹脂封止して形成された封止部10とからなり、積層配置された1stチップ1と2ndチップ2とがそれぞれフェイスダウン実装でフリップチップ接続されるとともに、2ndチップ2のパッド2b（表面電極）とテーブ基板3の接続電極3bとがフリップチップ接続およびワイヤボンディングによって接続されるものである。

【0023】これにより、本実施の形態のCSP12は、チップ積層形であるとともに、フリップチップ接続とワイヤボンディングとを組み合わせたことにより、封止部10におけるワイヤ密度を少なくしてモールド時のワイヤ流れなどによるワイヤショートを防止するものである。

【0024】さらに、フリップチップ接続とワイヤボンディングとを組み合わせたことにより、テーブ基板3における接続電極3bの数を減らしてチップ積層形のCSP12の水平方向の面積を小さくし、これにより、パッケージの小形化を図るとともに、最上段の半導体チップである2ndチップ2をフェイスダウン実装したことにより、パッケージの薄形化を図るものである。

【0025】ここで、CSP12では、1stチップ1は、テーブ基板3に対してその配線3aにフリップチップ接続のみによって接続され、また、2ndチップ2は、1stチップ1の上段側である裏面1cに取り付けられた配線フィルム4の配線4aにフリップチップ接続によって接続され、この配線4aに接続された配線フィルム4の接続電極4bと共通配線基板（インタポーザ）であるテーブ基板3の接続電極3bとがワイヤボンディングによるワイヤ9によって接続されている。

【0026】すなわち、1stチップ1はテーブ基板3に対してフリップチップ接続のみによって接続され、2ndチップ2はテーブ基板3に対してフリップチップ接続とワイヤボンディングによって接続されている。

【0027】したがって、1stチップ1は、そのパッド1bがAuバンパ6によってテーブ基板3の配線3aに対してフリップチップ接続され、一方、2ndチップ2は、そのパッド2bが上段Auバンパ7によって配線フィルム4の配線4aに対してフリップチップ接続されている。

【0028】なお、テーブ基板3は、例えば、ポリイミドテーブなどによって形成され、そこには、図2に示すように、銅、金または銀などの金属からなる配線3a、

ボンディングパッドである接続電極3bおよび半田バン
プ搭載用のバンブランド3eなどが形成され、このバン
ブランド3eは、テープ基板3のくり抜きによりその裏
面3d側に露出しており、そこに図1に示す外部端子で
ある複数の半田バンパ11が取り付けられている。

【0029】また、配線フィルム4は、その裏面4d
が、1stチップ1の裏面1c側すなわち上段側に熱可
塑性の接着材8または耐熱性の高い両面テープなどに
よって貼り付けられており、テープ基板3と同様に、例
えば、ポリイミドテープなどによって形成され、その表面
には、銅、金または銀などの金属からなる配線4aやボ
ンディングパッドである接続電極4bが形成されてい
る。

【0030】また、アンダーフィル材5の代わりとし
て、絶縁性のペースト材を用いてもよいが、アンダーフ
ィル材5としてACF (Anisotropic Conductive Film,
異方性導電性フィルム) を用いることが好ましい。

【0031】すなわち、ACFを用いて1stチップ1
および2ndチップ2をACF実装してもよく、この場
合には、Auバンパ6および上段Auバンパ7の接続部
は導通が図れるとともに、その周囲には、絶縁部材を埋
め込むことができる。

【0032】また、テープ基板3のチップ支持面側
には、モールド樹脂、例えば、熱硬化性のエポキシ樹脂な
どを用いたモールドによる封止部10が形成され、これ
により、1stチップ1、2ndチップ2、配線フィル
ム4およびワイヤ9が封止されている。

【0033】なお、ボンディング用のワイヤ9は、例
えば、金線などである。

【0034】また、CSP12に搭載される半導体チッ
プの機能としては、例えば、1stチップ1がASIC
(Application Specific Integrated Circuit)、2nd
チップ2がDRAM (Dynamic Random Access Memory)
などのメモリであり、異なった機能の半導体チップを有
したマルチチップパッケージとしてもよい。

【0035】これは、1stチップ1は、2ndチップ
2よりも大きいことにより、多ピン対応とすることがで
きるためであり、上段の半導体チップをメモリ用として
組み込むことが好適である。

【0036】ただし、複数の半導体チップを全てメモ
リとしてもよく、または、マイコンとフラッシュメモリな
どとの組み合わせとしてもよい。

【0037】次に、本実施の形態の半導体装置であるC
SP12の製造方法を説明する。

【0038】まず、図3に示すように、テープ基板3を
準備し、これのチップ支持面3cの1stチップ実装領
域にアンダーフィル材5を塗布または貼り付ける。

【0039】本実施の形態では、アンダーフィル材5と
してACFを用いる場合を説明するが、アンダーフィル
材5の代わりとして絶縁性のペースト材などを塗布して

もよい。

【0040】続いて、図4に示すように、1stチップ
1をテープ基板3のチップ支持面3cにフェイスダウン
実装する。

【0041】すなわち、テープ基板3のチップ支持面3
cと1stチップ1の主面1aとを対向させてアンダー
フィル材5であるACF上に1stチップ1を載置し、
熱圧着によって1stチップ1をテープ基板3上に固定
する(マウントする)。

【0042】これにより、テープ基板3のチップ支持面
3cにAuバンパ6を介して1stチップ1がフリップ
チップ接続される。

【0043】すなわち、1stチップ1の各パッド1b
と、これに対応するテープ基板3の配線3aとがAuバ
ンパ6を介して接続される。

【0044】なお、1stチップ1の裏面1cの配線フ
ィルム4は、予め、ウェハ段階で熱可塑性の接着材8な
どを用いて貼り付けられたものであり、したがって、ダ
イシングして1stチップ1を取得した際には、既にそ
の裏面1cに、接着材8を介して配線フィルム4が貼り
付けられている。

【0045】その後、図5に示すように、1stチップ
1の裏面1c側である1stチップ1の上段側の配線フ
ィルム4のチップ支持面4cの2ndチップ実装領域に
アンダーフィル材5であるACFを配置する。

【0046】続いて、1stチップ1の上段側におい
て、2ndチップ2を配線フィルム4のチップ支持面4
cにフェイスダウン実装する。

【0047】すなわち、配線フィルム4のチップ支持面
4cと、2ndチップ2の主面2aとを対向させてアン
ダーフィル材5であるACF上に2ndチップ2を載置
し、熱圧着によって2ndチップ2を配線フィルム4上
に固定する(マウントする)。

【0048】これにより、配線フィルム4のチップ支持
面4cに上段Auバンパ7を介して2ndチップ2がフ
リップチップ接続され、その結果、1stチップ1上に
2ndチップ2が積層配置される。

【0049】つまり、2ndチップ2の各パッド2b
と、これに対応する配線フィルム4の配線4aとが上段
Auバンパ7を介して接続される。

【0050】なお、2ndチップ2の固定の際に用いる
アンダーフィル材5として、ACFではなく、例えば、
導電性接着剤などを用いてもよい。

【0051】すなわち、ACF同様、前記導電性接着剤
を用いた場合でも、2ndチップ2の固定の際にスクラ
ブなどを行わなくて済むため、1stチップ1への衝撃
を和らげることができる。

【0052】その後、図6に示すように、配線フィル
ム4のボンディングパッドである接続電極4bとテープ基
板3のボンディングパッドである接続電極3bとを金線

のワイヤ9を用いてワイヤボンディングする。

【0053】これにより、2ndチップ2とインタポーザであるテープ基板3とがフリップチップ接続とワイヤボンディングによって電気的に接続される。

【0054】その後、図7に示すように、トランスファーマールドによってテープ基板3のチップ支持面3c側を樹脂封止し、チップ支持面3c側に封止部10を形成する。

【0055】続いて、図8に示すように、CSP12の表裏を反転させ、テープ基板3の裏面3d側を上方向に 10 向け、この裏面3d側に露出した複数のバンパランド3eに半田バンパ11を取り付ける。

【0056】なお、半田バンパ11の取り付け（搭載）は、例えば、転写法などによって行う。

【0057】これにより、図1に示す本実施の形態のCSP12の完成となる。

【0058】なお、CSP12では、チップセレクト用として、2ndチップ2のみを接続する場合があります。その際には、例えば、1stチップ1の対応するパッド1bにはAuバンパ6を接続しないものとする。

【0059】すなわち、Auバンパ6は必ずしも全てのパッド1bに接続させて配置するものとは限らない。

【0060】本実施の形態の半導体装置（CSP12）によれば、以下のような作用効果が得られる。

【0061】すなわち、積層配置された複数の半導体チップがそれぞれフェイスダウン実装され、これにより、1stチップ1（最下段の半導体チップ）がフリップチップ接続のみによって接続されるため、前記複数の半導体チップとインタポーザである最下段のテープ基板3（共通配線基板）との接続をフリップチップ接続とワイ 30 ヤボンディングとに分けることができる。

【0062】その結果、封止部10内のワイヤ9の密度を低減することができ、これにより、モールド時のワイヤ流れによるワイヤショートを防止することができる。

【0063】つまり、フリップチップ接続とワイヤボンディングとを組み合わせることにより、ワイヤボンディングだけを用いた従来のチップ積層形の半導体装置と比較すると、封止部10内のワイヤ9の密度を大幅に低減することができ、その結果、本実施の形態のチップ積層形のCSP12においてワイヤショートの発生を防ぐこ 40 とができる。

【0064】さらに、フリップチップ接続だけを用いた従来のチップ積層形の半導体装置と比較すると、本実施の形態のチップ積層形のCSP12は、外部端子である半田バンパ11の配置がエリアアレイ形であり、したがって、高密度実装に適しているのに対し、前記フリップチップ接続だけを用いた従来のチップ積層形の半導体装置は、外部端子となるアウタリードが封止部10から突出する構造となるため、半導体装置の実装面積が増え、その結果、高密度実装には適していない。

【0065】これにより、フリップチップ接続とワイヤボンディングとを組み合わせた本実施の形態のチップ積層形のCSP12の方が高密度実装に適している。

【0066】また、複数の半導体チップとインタポーザであるテープ基板3との接続をフリップチップ接続とワイヤボンディングとに分けることにより、テープ基板3におけるワイヤボンディング用のボンディングパッドである接続電極3bの設置領域も少なくすることができ、これにより、本実施の形態のチップ積層形の半導体装置をCSP12として実現できる。

【0067】したがって、チップ積層形の半導体装置の小形化を実現できる。

【0068】さらに、積層配置された複数の半導体チップがフェイスダウン実装され、したがって、2ndチップ2（最上段の半導体チップ）もフリップチップ接続となるため、この2ndチップ2上にはワイヤ9のための封止部10の領域を確保する必要がなくなる。

【0069】その結果、2ndチップ2の裏面2cの上 20 方の封止部10を非常に薄く形成することができ、これにより、チップ積層形のCSP12の薄形化をさらに図ることができる。

【0070】すなわち、最上段の半導体チップにワイヤボンディングを行うタイプの従来のチップ積層形の半導体装置と比較しても本実施の形態のCSP12は薄形化を図ることができる。

【0071】したがって、本実施の形態のチップ積層形のCSP12は、その小形化および薄形化を図ることができるため、このCSP12の高密度実装を実現でき 30 る。

【0072】また、積層配置した2ndチップ2をフリップチップ接続とワイヤボンディングによる接続でインタポーザであるテープ基板3（共通配線基板）に接続するため、新たな設備投資を必要とせず、既存設備の活用でチップ積層形の小型の半導体装置（CSP12）を製造でき、したがって、この半導体装置のコストアップを抑えることができる。

【0073】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言う 40 までもない。

【0074】例えば、前記実施の形態では、半導体装置の製造方法において、予め裏面1cに配線フィルム4が貼り付けられた1stチップ1を準備し、その後、1stチップ1に2ndチップ2を積層する場合を説明したが、配線フィルム4への2ndチップ2のフリップチップ接続を前記半導体装置の製造方法とは異なる別工程で行い、1stチップ1の裏面1c（上段）への2ndチップ2の積層を配線フィルム4ごと行ってもよい。

50 【0075】また、前記実施の形態では、チップ積層数

が2段の場合を説明したが、前記チップ積層数は、2段以上であれば何段であってもよい。

【0076】また、前記実施の形態では、共通配線基板および配線フィルム4がポリイミドテープなどの基板からなる場合を説明したが、両基板は、ポリイミドテープの基板に限定されずに、例えば、ガラス入りのエポキシ樹脂などからなる樹脂基板やセラミック基板などであってもよい。

【0077】さらに、前記実施の形態では、封止部10がトランスファーマールドによって形成される場合を説明したが、封止部10は、ボッティングによって形成してもよい。

【0078】また、前記実施の形態では、半導体装置がCSP12の場合について説明したが、前記半導体装置は、チップ積層形で、かつ外部端子がエリアアレイ配置であり、さらに、それぞれの半導体チップがフェイスダウン実装でフリップチップ接続されるとともに、フリップチップ接続とワイヤボンディングとを組み合わせた接続のものであれば、CSP12以外の例えば、LGA (Land Grid Array) などであってもよい。

【0079】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0080】(1)．積層配置された複数の半導体チップがそれぞれフェイスダウン実装され、これにより、最下段の半導体チップがフリップチップ接続のみによって接続されるため、複数の半導体チップと最下段の共通配線基板との接続をフリップチップ接続とワイヤボンディングとに分けることができる。その結果、封止部内のワイヤの密度を低減することができ、これにより、モールド時のワイヤ流れによるワイヤショートを防止することができる。

【0081】(2)．複数の半導体チップと最下段の共通配線基板との接続をフリップチップ接続とワイヤボンディングとに分けることにより、共通配線基板におけるワイヤボンディング用の接続電極の設置領域も少なくすることができ、これにより、チップ積層形の半導体装置をCSP対応とすることができる。したがって、チップ積層形の半導体装置の小形化を実現できる。

【0082】(3)．積層配置された複数の半導体チップがフェイスダウン実装され、したがって、最上段の半導体チップもフリップチップ接続となるため、この半導体チップ上にはワイヤのための封止部の領域を確保する必要がなくなる。その結果、チップ積層形の半導体装置の薄形化を図ることができる。

【0083】(4)．前記(2)、(3)により、チップ積層形の半導体装置の小形化および薄形化を図ることができるため、この半導体装置の高密度実装を実現できる。

【0084】(5)．積層配置した半導体チップをフリップチップ接続とワイヤボンディングによる接続で共通配線基板に接続するため、新たな設備投資を必要とせず、既存設備の活用でチップ積層形の小型の半導体装置を製造でき、したがって、この半導体装置のコストアップを抑えることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置の構造の一例を示す断面図である。

10 【図2】図1に示す半導体装置の共通配線基板と上段配線基板における配線および接続電極の配置状態の一例を示す拡大断面図である。

【図3】図1に示す半導体装置の製造方法における共通配線基板へのアンダーフィル材形成状態の一例を示す断面図である。

【図4】図1に示す半導体装置の製造方法における共通配線基板への1stチップ取り付けと上段配線基板の取り付け状態の一例を示す断面図である。

20 【図5】図1に示す半導体装置の製造方法における上段配線基板への2ndチップ取り付け状態の一例を示す断面図である。

【図6】図1に示す半導体装置の製造方法におけるワイヤボンディングの接続状態の一例を示す断面図である。

【図7】図1に示す半導体装置の製造方法におけるモールドの状態の一例を示す断面図である。

【図8】図1に示す半導体装置の製造方法における半田パンパ (外部端子) 取り付け状態の一例を示す断面図である。

【符号の説明】

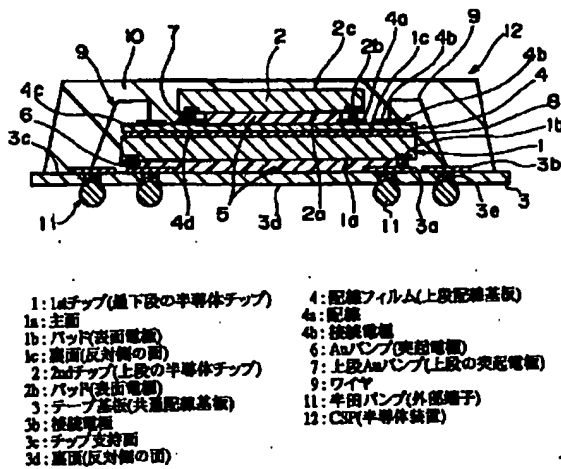
- 30 1 1stチップ (最下段の半導体チップ)
 - 1a 主面
 - 1b パッド (表面電極)
 - 1c 裏面 (反対側の面)
- 2 2ndチップ (上段の半導体チップ)
 - 2a 主面
 - 2b パッド (表面電極)
 - 2c 裏面
- 3 テープ基板 (共通配線基板)
 - 3a 配線
 - 3b 接続電極
 - 3c チップ支持面
 - 3d 裏面 (反対側の面)
 - 3e パンパランド
- 4 配線フィルム (上段配線基板)
 - 4a 配線
 - 4b 接続電極
 - 4c チップ支持面
 - 4d 裏面
- 5 アンダーフィル材
- 50 6 Auパンパ (突起電極)

11
7 上段Auバンプ(上段の突起電極)
8 接着材
9 ワイヤ

10 封止部
11 半田バンプ(外部端子)
12 CSP(半導体装置)

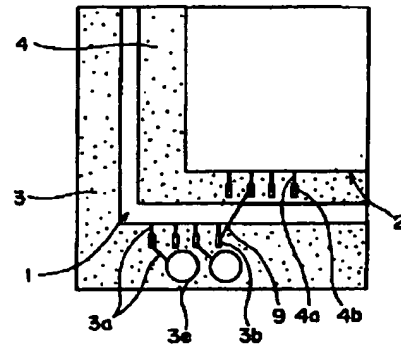
【図1】

図 1



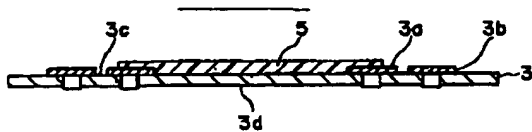
【図2】

図 2



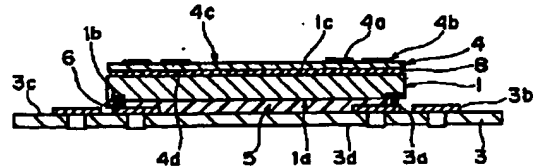
【図3】

図 3



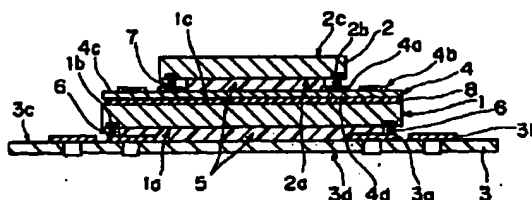
【図4】

図 4



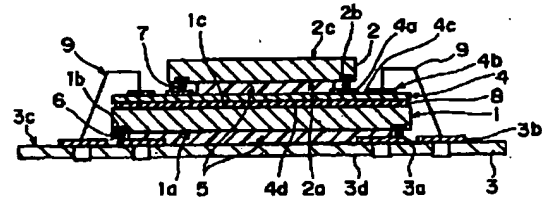
【図5】

図 5



【図6】

図 6



【図8】

8

